

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-102990

(43)Date of publication of application : 16.04.1996

(51)Int.Cl.

H04R 3/00

(21)Application number : 06-237500

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 30.09.1994

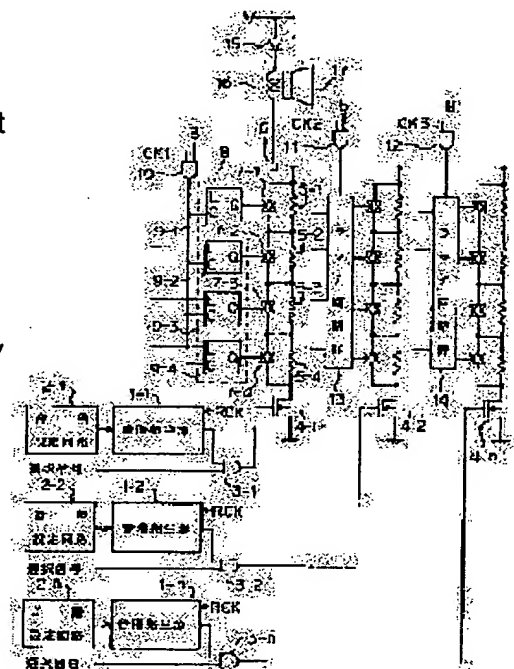
(72)Inventor : OSAWA HIROSHI

(54) SOUND OUTPUT DEVICE

(57)Abstract:

PURPOSE: To provide a sound output device with less number of externally mounted components in which sound volume adjustment of a speaker is easily made.

CONSTITUTION: Plural resistor groups 5-1 to 5-4 to adjust a sound volume of a speaker 17 and plural transmission gates 7-1 to 7-4 to selectively short-circuit each of the resistor groups are provided inside a microcomputer. Then a control signal obtained by the decoding result of program data is latched by a latch circuit group 8 to control number of series connection of the resistor groups 5-1 to 5-4. Thus, number of externally mounted components for the microcomputer is reduced to reduce the cost and the operation by the user is facilitated.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-102990

(43) 公開日 平成8年(1996)4月16日

(51) Int.Cl.⁶

H 0 4 R 3/00

識別記号

3 1 0

庁内整理番号

F I

技術表示箇所

審査請求 未請求 請求項の数 2 O L (全 5 頁)

(21) 出願番号 特願平6-237500

(22) 出願日 平成6年(1994)9月30日

(71) 出願人 000001889

三洋電機株式会社

大阪府守口市京阪本通2丁目5番5号

(72) 発明者 大澤 博

大阪府守口市京阪本通2丁目5番5号 三

洋電機株式会社内

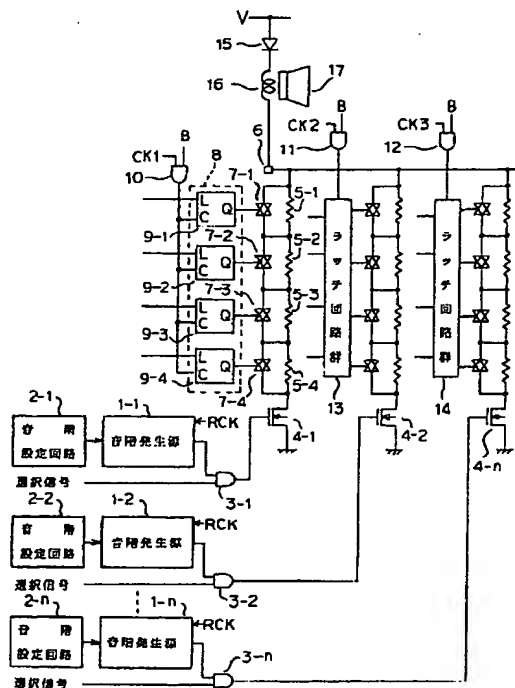
(74) 代理人 弁理士 岡田 敬

(54) 【発明の名称】 音声出力装置

(57) 【要約】

【目的】 外付部品数が少なく、且つ、スピーカの音量調整が容易な音声出力装置を提供することを目的とする。

【構成】 スピーカ17の音量を調整する為の複数の抵抗群5-1～5-4及びこれらの抵抗群の個々を選択的に短絡する為の複数のトランсмисシオンゲート7-1～7-4を、マイクロコンピュータ内部に設け、プログラムデータの解読結果により得られた制御信号をラッチ回路群8に保持させることにより、抵抗群5-1～5-4の直列数を制御する様にした。これより、マイクロコンピュータの外付部品が削減されてコストダウンが図れ、更には使用者の操作が容易となる。



【特許請求の範囲】

【請求項1】 複数の音階に対応する周波数信号を選択的に発生できる音階発生源と、

1種類の音階を指示し、前記音階発生源の中に設定されている所定の1種類の音階に対応する周波数信号を前記音階発生源から出力させる音階設定回路と、

前記音階発生源から出力される周波数信号によりスイッチングされるスイッチングトランジスタと、

前記スイッチングトランジスタに直列接続された複数の抵抗群と、

前記複数の抵抗群の個々に並列接続され、前記抵抗群の各々を選択的に短絡する複数の短絡回路と、

前記複数の短絡回路を選択的に接続又は遮断する為の制御信号を保持する保持回路と、をマイクロコンピュータ内部に設け、

前記複数の抵抗群の前記スイッチングトランジスタと接続されない側の一端を前記マイクロコンピュータ外部のスピーカと接続し、前記マイクロコンピュータにてプログラムを解読することにより得られた前記制御信号を前記保持回路に保持させ、前記短絡回路の接続及び遮断を制御することにより、前記スピーカから放音される音量を調整することを特徴とする音声出力装置。

【請求項2】 前記制御信号を発生する為のプログラムは、前記スピーカからの音量を調整する割り込み信号により、前記マイクロコンピュータ内部又は外部に設けられたプログラムメモリから読み出されることを特徴とする請求項記載の音声出力装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、スピーカから放音させる音量を集積回路を用いて制御するのに好適な音声出力装置に関する。

【0002】

【従来の技術】現在、スピーカから音階（メロディ、ブザー等）を放音させる為のマイクロコンピュータが販売されているが、このマイクロコンピュータは以下の様に構成されている。つまり、マイクロコンピュータ内部に、複数の音階に対応する周波数信号を発生可能な音階発生源を内蔵させ、プログラムに応じて選択された所定の音階の周波数信号を出力端子から取り出し、この周波数信号を外部の抵抗を介してスピーカに与えることにより放音動作を実現している。ところで、スピーカの音量を現状の大きさから更に大きくしたり或いは小さくしたりといった所謂音量調整を行う場合、周波数信号が出力されるマイクロコンピュータの出力端子と前記周波数信号を与えるスピーカの端子との間に、複数の抵抗を直列接続して負荷として設け、これらの複数の抵抗の中の所定の抵抗を短絡することによりスピーカの負荷を可変とし、これより、スピーカから放音される音声の音量調整を実現している。その具体的方法としては、マイクロコ

ンピュータに外部接続された複数の抵抗の個々に機械スイッチ又はスイッチングトランジスタを各々設け、機械スイッチの開閉又はスイッチングトランジスタのオンオフを使用者の操作により行うことで、抵抗の直列数を変化させ対処していた。

【0003】

【発明が解決しようとする課題】しかしながら、マイクロコンピュータの外部素子が非常に多く、コストアップという問題が生じる。更に、使用者が自らの意志で個々の機械スイッチの操作又はスイッチングトランジスタのオンオフ制御の為の信号発生を行わなければならない為、操作が煩雑となる問題もあった。

【0004】そこで、本発明は、外付部品数が少なく、且つ、スピーカの音量調整が容易な音声出力装置を提供することを目的とする。

【0005】

【課題を解決するための手段】本発明は、前記問題点を解決する為に成されたものであり、その特徴とするところは、複数の音階に対応する周波数信号を選択的に発生できる音階発生源と、1種類の音階を指示し、前記音階発生源の中に設定されている所定の1種類の音階に対応する周波数信号を前記音階発生源から出力させる音階設定回路と、前記音階発生源から出力される周波数信号によりスイッチングされるスイッチングトランジスタと、前記スイッチングトランジスタに直列接続された複数の抵抗群と、前記複数の抵抗群の個々に並列接続され、前記抵抗群の各々を選択的に短絡する複数の短絡回路と、前記複数の短絡回路を選択的に接続又は遮断する為の制御信号を保持する保持回路と、をマイクロコンピュータ内部に設け、前記複数の抵抗群の前記スイッチングトランジスタと接続されない側の一端を前記マイクロコンピュータ外部のスピーカと接続し、前記マイクロコンピュータにてプログラムを解読することにより得られた前記制御信号を前記保持回路に保持させ、前記短絡回路の接続及び遮断を制御することにより、前記スピーカから放音される音量を調整する点である。

【0006】

【作用】本発明によれば、スピーカの音量を調整する為の複数の抵抗群及びこれらの抵抗群の個々を選択的に短絡する為の複数の短絡回路を、マイクロコンピュータ内部に設け、プログラムデータの解読結果により得られた制御信号を保持回路に保持させることにより、抵抗群の直列数を制御する様にした。これより、マイクロコンピュータの外付部品が削減されてコストダウンが図れ、更には使用者の操作が容易となる。

【0007】

【実施例】本発明の詳細を図面に従って具体的に説明する。図1は本発明の音声出力装置を示す図である。図1において、(1-1)～(1-n)は音階発生源であり、内部に複数の直列接続されたTフリップフロップ

3

(図示せず)が設けられており、基準クロックRCKを分周し、所定段数目のTフリップフロップから周波数信号を発生できる構造となっている。つまり、個々の音階発生源(1-1)~(1-n)は、ドからシまでの12音に相当する周波数信号を選択的に発生できるものである。(2-1)~(2-n)は音階設定回路であり、各々音階発生源(1-1)~(1-n)に12音の中の何れかの音階を設定する為の設定信号を出力するものである。つまり、音階設定回路(2-1)~(2-n)から音階発生源(1-1)~(1-n)に印加される設定信号は、音階発生源(1-1)~(1-n)内部に内蔵される複数のTフリップフロップの何段目のTフリップフロップから周波数信号を発生するのかを制御する信号である。具体的には、音階発生源(1-1)~(1-n)の各内部では、直列接続されている複数のTフリップフロップを各々音階に応じてセットする為の複数ビットのプリセットレジスタが設けられており、任意のTフリップフロップをセットしておき基準クロックRCKを分周することにより、最終段のTフリップフロップから希望する音階に対応する周波数信号を得ることができる。特に、前記プリセットレジスタは、出力すべき音階の指示を受けて該音階に応じたプリセットデータがその都度プリセットされ、最終段のTフリップフロップから得られた出力を基に作成されたトリガ信号により、プリセットデータがプリセットレジスタからTフリップフロップに印加される構成となっている。(3-1)~(3-n)はANDゲートであり、一方の入力端子は各々音階発生源(1-1)~(1-n)の出力Tフリップフロップの最終段の出力と接続されており、他方の入力端子には、各々ANDゲート(3-1)~(3-n)のどれを開くのかを指示する選択信号が印加される。ここで、音階設定回路(2-1)~(2-n)から出力される設定信号及びANDゲート(3-1)~(3-n)の開閉を制御する選択信号は、マイクロコンピュータを動作させるROMから読み出されたプログラムを解釈した結果に基づき、所定の状態に決定されるものとする。また、(4-1)~(4-n)はNチャンネル型MOSトランジスタであり、各々のゲートはANDゲート(3-1)~(3-n)の出力端子と接続され、ソースは接地されている。また、(5-1)~(5-4)は、直列接続された抵抗であり、その一端はNチャンネル型MOSトランジスタ(4-1)のドレインと接続され、その他端は出力端子(6)と接続されている。(7-1)~(7-4)はトランスミッションゲート(短絡回路)であり、個々のトランスミッションゲート(7-1)~(7-4)は各々抵抗(5-1)~(5-4)と並列接続されている。(8)はラッチ回路群(保持回路)であり、4個のラッチ回路(9-1)~(9-4)から構成される。ラッチ回路(9-1)~(9-4)のL(ラッチ)端子は各々4ビットのデータバスと接続され、C(クロック)

4

端子はANDゲート(10)の出力端子と共通接続され、Q(出力)端子は各々トランスミッションゲート(7-1)~(7-4)の制御端子と接続されている。同様の構成はNチャンネル型MOSトランジスタ(4-2)(4-3)に対しても設けられているが、接続関係が同じなので、その説明は省略するものとする。尚、以上の構成は、マイクロコンピュータ内部に設けられているものとする。

【0008】また、マイクロコンピュータの外部構成として、電源Vと出力端子(6)との間にダイオード(15)及びコイル(16)が直列接続され、コイル(16)にはスピーカ(17)が放音可能な状態に接続されている。図2はマイクロコンピュータ内部でラッチ回路群(8)(13)(14)の為のラッチデータ(制御信号)を作成する構成を示す図である。図2において、

(18)はROMであり、マイクロコンピュータを制御する為のプログラムデータが記憶されたものである。

(19)はインストラクションデコーダであり、ROM(18)から読み出されたプログラムデータを解釈するものである。(20)はRAMであり、マイクロコンピュータ内部で演算された各種データが書き込み又は読み出されるものである。(21)は論理演算を行うALUであり、インストラクションデコーダ(19)の出力Aに基づき、RAM(20)から読み出されたデータをデータバス(22)を介して取り込んでトランスミッションゲート(5-1)~(5-4)の何れかをオンする制御信号を作る為の演算処理を行い、その結果をデータバス(22)を介してRAM(20)に再び書き込ませるものである。

【0009】以下、図1及び図2の動作について説明する。まず、音階発生源(1-1)の周波数信号のみでスピーカ(17)から放音させる場合について考える。この場合、音階設定回路(2-1)の出力で選択された周波数信号がANDゲート(3-1)を介して出力され、Nチャンネル型MOSトランジスタ(4-1)をスイッチングしている、ここで、スピーカ(17)の音量はその負荷となる抵抗(5-1)~(5-4)の直列数で定まる。即ち、抵抗の数が多いほど負荷が大きくなって音量が下がり、抵抗の数が少ないほど負荷が小さくなって音量が上がる。そこで、所定の音量を得ようとして、使用者が音量調整用キー(図示せず)を操作すると、このキーの操作と同時に音量変更(大又は小)を指示する割り込み信号が発生する。この割り込み信号により、ROM(18)は現在読み出しを行っている番地からこの割り込み番地へジャンプし、この割り込み番地に記憶されたプログラムデータを読み出す。インストラクションデコーダ(19)は、この時のROM(18)から読み出されたプログラムデータを解釈した結果、解釈信号Aを発生する。RAM(20)は、解釈信号Aに基づき、現在トランスミッションゲート(5-1)~(5-4)を

所定の開閉状態としている4ビットの制御データが記憶された番地から該制御データを読み出して、ALU(21)内部で音量を変更する為の演算処理を行い、変更された制御データを再びRAM(20)の前記読み出し番地に書き込む。更に、変更後の制御データはRAM(20)から読み出されてラッチ回路群(8)(13)(14)に供給される。一方、インストラクションデコーダ(19)からは、前記解読信号Aの他に、ANDゲート(10)(11)(12)の何れを開くのかを指示する解読信号B、更に、どのラッチ回路群(8)(13)(14)にクロック信号を与えるのかをタイミング発生回路(23)に指示する解読信号Cが発生する。本実施例動作の場合は、ANDゲート(10)の入力のみがハイレベルとなり、ラッチ回路群(8)に4ビットの新たな制御データがラッチされ、トランスミッションゲート(5-1)～(5-4)の開閉状態が変更され、この結果、抵抗(5-1)～(5-4)の直列数が変更されてスピーカ(17)の音量が変更されることになる。

【0010】尚、上記した説明は、単一の音階発生源の周波数信号のみを使用する例であったが、複数の音階発生源の異なる周波数信号を用いて対応する複数のNチャンネル型MOSTランジスタを同時にスイッチングし、スピーカ(17)から和音を放音させる様にもできる。この場合、ANDゲート(3-1)～(3-n)の中の所定の複数個を開状態とすればよい。また、制御データの書き換えを必要とするラッチ回路群に対して、上記したRAM(20)の書き換え動作を繰り返して、ラッチ回路群に順次ラッチさせることにより実現で

きる。

【0011】本実施例では、Nチャンネル型MOSTランジスタのドレインと出力端子との間に直列接続される抵抗数を4個としたがこれに限定されるものではない。以上より、マイクロコンピュータの外付部品を削減でき、この結果、コストダウンが可能となる。また、使用者の操作も容易となる。

【0012】

【発明の効果】本発明によれば、スピーカの音量を調整する為の複数の抵抗群及びこれらの抵抗群の個々を選択的に短絡する為の複数の短絡回路を、マイクロコンピュータ内部に設け、プログラムデータの解読結果により得られた制御信号を保持回路に保持させることにより、抵抗群の直列数を制御する様にした。これより、マイクロコンピュータの外付部品が削減されてコストダウンが図れ、更には使用者の操作が容易となる利点が得られる。

【図面の簡単な説明】

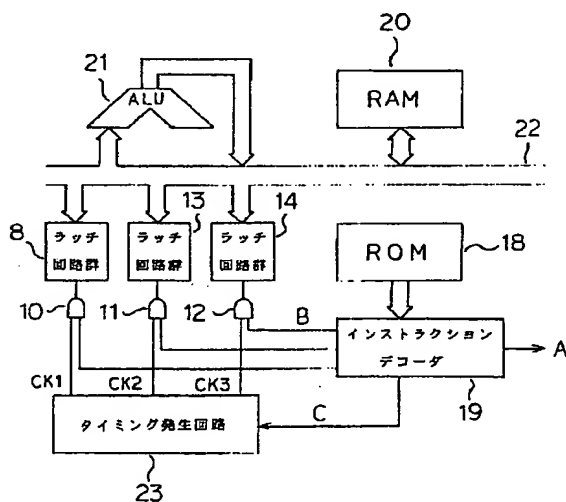
【図1】本発明の音声出力装置を示す図である。

【図2】本発明の音量調整を実現する為の図である。

【符号の説明】

- (1-1)～(1-n) 音階発生源
- (2-1)～(2-n) 音階設定回路
- (4-1)～(4-n) Nチャンネル型MOSTランジスタ
- (5-1)～(5-4) 抵抗
- (6) 出力端子
- (7-1)～(7-4) トランスミッションゲート
- (8)(13)(14) ラッチ回路群

【図2】



【図1】

